

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-217496

(43)Date of publication of application : 24.09.1987

(51)Int.Cl.

G11C 17/00

(21)Application number : 61-060415

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1986

(72)Inventor : ICHIKI TORU

TSUSHIMA SATORU

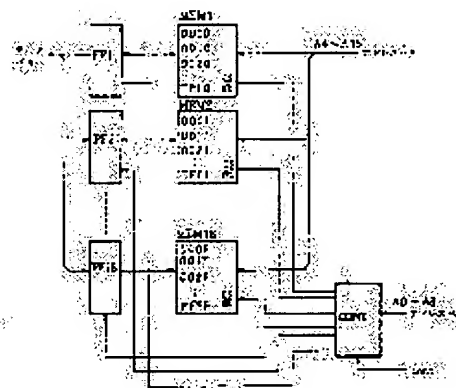
HAYASHI HIDENORI

(54) EEPROM WRITING SYSTEM

(57)Abstract:

PURPOSE: To easily write data in plural EEPROMs in a short period of time by holding the write data in fast memories temporarily and then assigning successive addresses to the respective EEPROMs in order.

CONSTITUTION: The write data are written temporarily in fast memories FF1, etc., corresponding to respective EEPROMs (Electrical Erasable Programmable ROM) temporarily. Successive addresses are specified for the respective EEPROMs MEM1, etc., through address buses and a control signal is supplied to a control circuit CONT. Then, the CONT supplies selection pulses to the respective EEPROMs at a time through respective chip select and write enable terminals CSWE to write the data simultaneously in a short period of time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

⑫ 公開特許公報(A)

昭62-217496

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)9月24日

G 11 C 17/00

3 0 7

6549-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 EEPROM書き込み方式

⑰ 特 願 昭61-60415

⑱ 出 願 昭61(1986)3月18日

⑲ 発 明 者	市 木 徹	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	津 島 悟	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	林 秀 紀	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
⑲ 代 理 人	弁理士 玉蟲 久五郎	外1名	

明 細 書

1. 発明の名称 EEPROM書き込み方式

2. 特許請求の範囲

(1) EEPROM (101) にデータの書き込みを行う方式において、

複数のEEPROM (101) に対応してそれぞれ高速メモリ (102) を設け、

書き込みデータを一旦高速メモリ (102) に保持したのち、各EEPROM (101) を書き込み可能にして、対応する各高速メモリ (102) に保持されたデータを各EEPROM (101) に一斉に書き込むことを特徴とするEEPROM書き込み方式。

(2) 前記各EEPROMに対するデータ書き込み時のアドレスの指定が、各EEPROMに連続数のアドレスを順次割り当てることによつて行われることを特徴とする特許請求の範囲第1項記載のEEPROM書き込み方式。

3. 発明の詳細な説明

(概 要)

EEPROMにデータの書き込みを行う方式において、複数個のEEPROMに書き込むべきデータを、各高速メモリにそれぞれ書き込んで保持しておき、その後各EEPROMを書き込み可能にして、対応する高速メモリに保持されているデータを各EEPROMに書き込むようにする。これによつて各EEPROMに対するデータの書き込みが一斉に行われ、従つて多数個のEEPROMに対する書き込みでも短時間で終わるようになる。さらにこの際各EEPROMに対するデータ書き込み時のアドレスの指定を、各EEPROMに連続数のアドレスを順次割り当てることによつて行うようにして、データ書き込み、読み出し時のアドレス指定を容易にする。

(産業上の利用分野)

本発明はEEPROM (Electrical Erasable Programmable ROM) の書き込みを行う方式に係り、特に書き込みに要する時間を大幅に短縮することがで

きるEEPROM書き込み方式に関するものである。

EEPROMは電氣的に消去可能な書き込み可能の読み出し専用メモリ (ROM) であつて、プログラム等の固定データ記憶のために多く用いられるものであるが、EEPROMにおいてデータの書き込みに必要な時間は、なるべく短いものであることが要望されている。

(従来の技術)

従来EEPROMの書き込みを行う場合には、まず書き込みの対象となる1個のEEPROMを指定し、これに書き込み動作のために必要なプログラム電圧を与えておいて、書き込みデータを1ワードずつ与え、所定のタイミングを有する書き込みパルスを印加することによつて、書き込みを行う方式が一般に用いられている。

(発明が解決しようとする問題点)

しかしながら従来の書き込み方式では、書き込み時間はEEPROMの数とともに増加し、書き込みを

行うべきEEPROMの数が多い場合には、その書き込みに必要な時間が著しく長くなつて、非能率的であるという問題があつた。

(問題点を解決するための手段)

本発明はこのような従来技術の問題点を解決しようとするものであつて、EEPROM (101) にデータの書き込みを行う方式において、第1図に示すような原理的構成を具えている。

102は高速メモリであつて、複数のEEPROM (101) にそれぞれ対応して設けられる。

書き込みデータを一旦高速メモリ (102) に保持したのち、各EEPROM (101) を書き込み可能にして、対応する各高速メモリ (102) に保持されたデータを各EEPROM (101) に一斉に書き込む。

さらにこの際の各EEPROM (101) における書き込みアドレスの指定を、連続数のアドレス割り当てによつて行うようにする。

3

4

(作 用)

複数個のEEPROM (101) に書き込むべきデータを、各高速メモリ (102) に書き込んで保持しておき、その後各EEPROM (101) を書き込み可能にして、対応する高速メモリ (102) に保持されているデータを各EEPROM (101) に書き込むので、各EEPROM (101) に対するデータの書き込みが一斉に行われ、従つて多数個のEEPROMに対する書き込みでも短時間で終わる。さらにこの際の各EEPROM (101) における書き込みアドレスの指定が連続数のアドレス割り当てによつて行われるので、書き込み、読み出し時のアドレス割り当てが容易になる。

(実施例)

第2図は本発明のEEPROM書き込み方式の一実施例の構成を示したものであつて、MEM 1, MEM 2, ..., MEM16はそれぞれ書き込み対象のEEPROMである。PF1, PF2, ..., PF16は双方向のラッチであつて、高速メモリを形成している。またCONTは書

き込みの制御を行う制御回路である。

第2図において、通常の読み出しまたは書き込み時には、高速メモリPF1, PF2, ..., PF16にデータをラッチするとともに、EEPROM MEM 1, MEM 2, ..., MEM16のうちのいずれか1つに対して、制御回路CONTから選択パルスをそのチップセレクトおよびライトイネーブル端子CS WEに与える。これによつて対象となつた1個のEEPROMに対する読み出しまたは書き込みが行われる。

EEPROMに対して、大量のデータを同時に書き込むようとする場合には、まず高速メモリPF1, PF2, ..., PF16に対してそれぞれEEPROM MEM 1, MEM 2, ..., MEM16に対応する書き込みデータを書き込むとともに、アドレスバスを介してそれぞれのEEPROM MEM 1, MEM 2, ..., MEM16に対して書き込みを行うべきアドレスを指定し、制御回路CONTに対して制御信号contを与えると、制御回路CONTから各EEPROM MEM 1, MEM 2, ..., MEM16に対して、選択パルスが一斉にそれぞれのチップセレクトおよびライトイネーブル端子CS WEに与えられて、

5

6

これによつて16個のEEPROM MEM 1, MEM 2, ..., MEM16 に対して一斉にデータの書き込みが行われる。

この場合のアドレスの指定は、各EEPROMにおける4ビットのアドレスの上位3ビットが共通に指定されるとともに、下位1ビットが連続数になるようにする。例えば MEM 1にアドレス0000を与えたとき、MEM 2にアドレス0001を与え、以下順次アドレスを増加してMEM16に000Pを与える。次にMEM 1にアドレス0010を与えたとき、MEM 2にアドレス0011を与え、MEM16には001Pを与えるようにする。

このため各EEPROMにおけるアドレスの下位1ビットを各EEPROMの番号に対応して定めるとともに、アドレスバスにおける16ビットのアドレス信号中、下位の3ビットA0～A3を制御回路CONTに与えることによつて、それぞれの番号のEEPROMにチップセレクトおよびライトイネーブル信号が与えられるようにする。高速メモリPF1, PF2, ..., PF16のそれぞれに対する書き込み信号も、同じ番号の各

EEPROMに対応して制御回路CONTから与えられ、これによつて前述のようにデータの書き込みが行われる。

このようにアドレス割り当てを行うことによつて、例えばイニシアルプログラムローディングを行う際に、各EEPROMに対して連続したアドレスのデータを1回の書き込みで書き込むことができ、また読み出し時にも連続したアドレスによつて、一連のデータを連続的に読み出すことができるので、EEPROMの書き込み、読み出しのためのアドレスの発生が容易になる利点がある。

(発明の効果)

以上説明したように本発明のEEPROM書き込み方式によれば、複数個のEEPROMに対する書き込みデータを、一旦それぞれの高速メモリに保持しておいて、これを複数個のEEPROMに一斉に書き込むようにしたので、EEPROMの数が多い場合でも、従来のように1個ずつ書き込む場合と比較して、書き込みに要する時間が大幅に短縮される。またこの

7

8

際複数個のEEPROMに対して連続数のアドレスで書き込みを行うようにしたので、書き込み、読み出しアドレスの発生が容易になる。

4.図面の簡単な説明

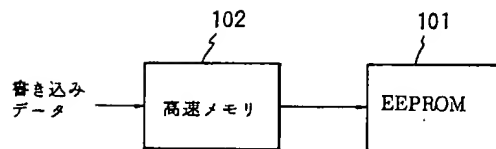
第1図は本発明の原理的構成を示す図、

第2図は本発明の一実施例を示す図である。

MEM 1, MEM 2, ..., MEM16 : EEPROM

PF1, PF2, ..., PF16 : 高速メモリ

CONT : 制御回路

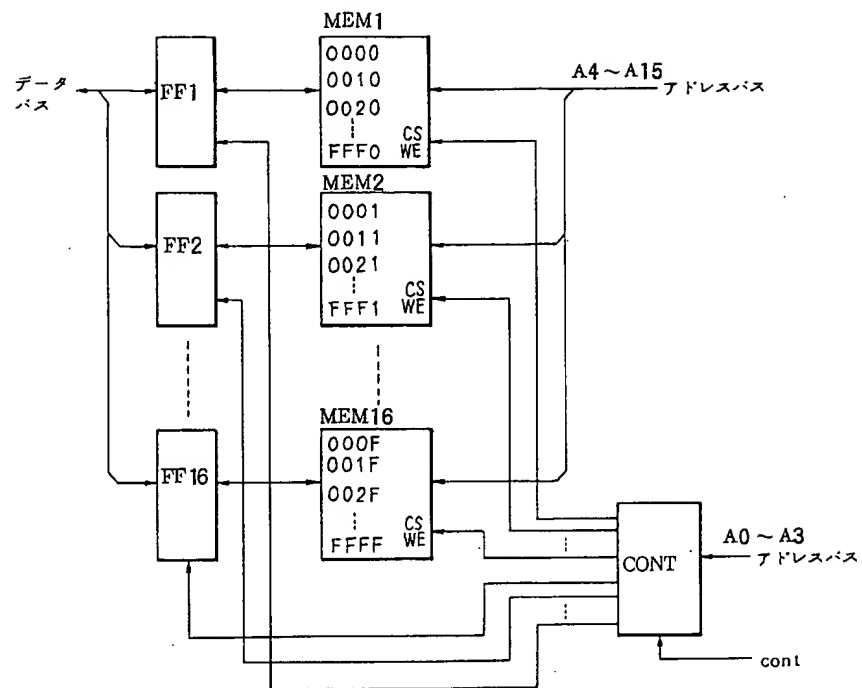


本発明の原理的構成を示す図

第 1 図

特許出願人 富士通株式会社
代理人 弁理士 玉蟲久五郎 (外1名)

9



MEM1, MEM2, ..., MEM16 : EEPROM
 FF1, FF2, ..., FF16 : 高速メモリ
 CONT : 制御回路

本発明の一実施例を示す図

第 2 図